

(19)



JAPANESE PATENT OFFICE

JPA 11-032202

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **11032202 A**(43) Date of publication of application: **02.02.99**

(51) Int. Cl.

H04N 1/387**H04N 1/40**(21) Application number: **09184039**(22) Date of filing: **09.07.97**(71) Applicant: **CANON INC**(72) Inventor: **SASANUMA NOBUATSU
IKEDA YUICHI****(54) DEVICE AND METHOD FOR IMAGE
PROCESSING**

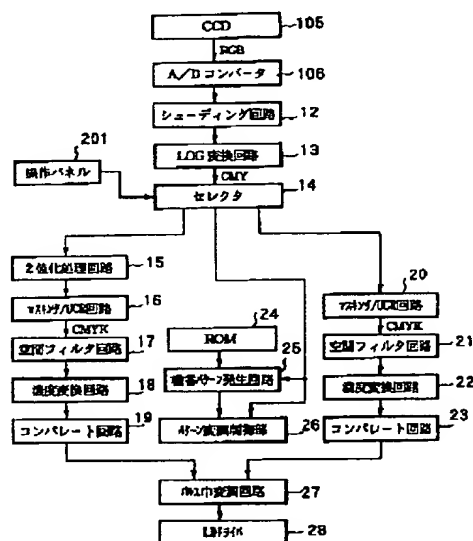
control section 26.

COPYRIGHT: (C)1999,JPO

(57) Abstract:

PROBLEM TO BE SOLVED: To enable superimposition of a pattern suitable for adopted image processing, to superimpose an appropriate pattern upon an image after various kinds of image processings in order to ensure the identifiability of the device of the pattern, and at the same time, to prevent the deterioration of image quality.

SOLUTION: A selector 14 supplies image signals read from a CCD 105 and convert them into digital CMY signals to image processing for binarized output (by means of a binarization processing circuit 15 to a density converting circuit 18) or to image processing for multilevel output (a masking/UCR circuit 20 to a density converting circuit 22). An equipment number generating circuit 25 and a pattern modulation control section 26 determine an appropriate superimposing pattern for selecting image processing and generate signals used for forming the superimposing pattern. Comparator circuits 19 and 23 superimpose the superimposing pattern upon the image signals by using the signals generated from the pattern modulation



(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平11-32202

(43)公開日 平成11年(1999)2月2日

(51)Int.Cl.⁶H 0 4 N 1/387
1/40

識別記号

F I

H 0 4 N 1/387
1/40

Z

審査請求 未請求 請求項の数19 O L (全 15 頁)

(21)出願番号 特願平9-184039

(22)出願日 平成9年(1997)7月9日

(71)出願人 000001007

キヤノン株式会社

東京都大田区下丸子3丁目30番2号

(72)発明者 笹沼 信篤

東京都大田区下丸子3丁目30番2号 キヤ
ノン株式会社内

(72)発明者 池田 雄一

東京都大田区下丸子3丁目30番2号 キヤ
ノン株式会社内

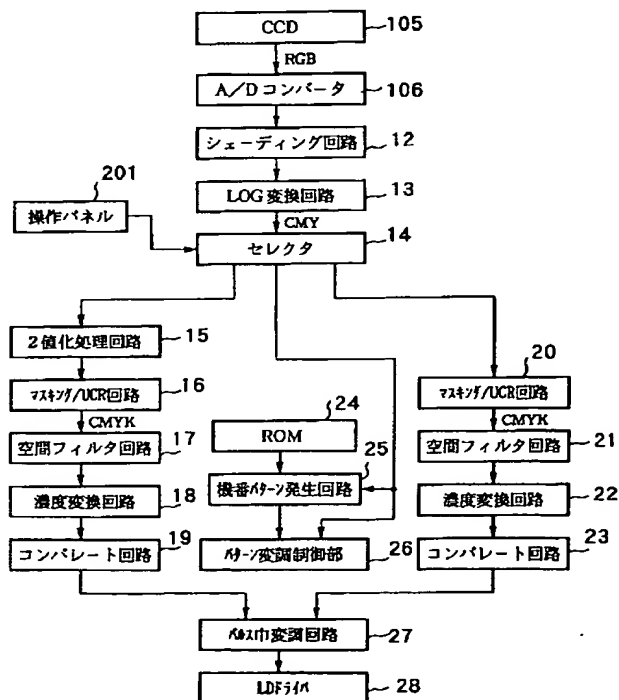
(74)代理人 弁理士 大塚 康徳 (外2名)

(54)【発明の名称】 画像処理装置及びその方法

(57)【要約】

【課題】適用された画像処理に適したパターンを重畳することを可能とし、各種画像処理後の画像について適切なパターンを重畳させ、装置特定のためのパターンが確実に判別可能とすると共に、形成画像の画質の低下も防止する。

【解決手段】セレクトラ14は、CCD105より読み取られデジタルのCMY信号に変換された画像信号を、2値化出力用画像処理(2値化処理回路15～濃度変換回路18)または多値出力用画像処理(マスキング/UCR回路20～濃度変換回路22)の一方に提供する。機番パターン発生回路25とパターン変調制御部26は、セレクトラ14によって選択された画像処理にとって適切な重畳パターンを決定し、当該重畳パターンを形成するための信号を生成する。コンパレート回路19、23は、可視画像形成において、パターン変調制御部26によって生成された信号を用いて、当該画像信号に重畳パターンを重畳する。



【特許請求の範囲】

【請求項 1】 入力画像に基づいて最適な画像処理を選択する選択手段と、

前記入力画像の各々に対して適用された画像処理に基づいて所定の付加情報を示すパターンを発生する発生手段と、

前記入力画像に対して、前記発生手段で発生しパターンを人間の目に識別しにくく付加する付加手段とを備えることを特徴とする画像処理装置。

【請求項 2】 画像信号を処理するための複数の画像処理手段を更に備え、

前記複数の画像処理手段は、少なくとも画像信号を 2 値化して出力するための画像処理と、画像信号を多値で出力するための画像処理とを含むことを特徴とする請求項 1 に記載の画像処理装置。

【請求項 3】 前記所定の付加情報は前記画像処理装置を特定可能とする情報であることを特徴とする請求項 1 または 2 に記載の画像処理装置。

【請求項 4】 入力画像を 2 値化して出力するための画像処理に適したパターンが、入力画像を多値で出力するための画像処理に適したパターンよりも大きいサイズを有することを特徴とする請求項 2 に記載の画像処理装置。

【請求項 5】 前記発生手段は、入力画像を 2 値化して出力するための画像処理に対するパターンとして、入力画像の最低値と最高値が配置されてなるパターンを用いることを特徴とする請求項 2 に記載の画像処理装置。

【請求項 6】 前記発生手段は、入力画像を多値で出力するための画像処理に対するパターンとして、入力画像に作用させるべき階調数が配置されてなるパターンを用いることを特徴とする請求項 2 に記載の画像処理装置。

【請求項 7】 入力画像に対して採用された画像処理内容を示すデータを入力する入力手段を更に備え、前記発生手段は、前記入力手段によって入力された画像処理内容を示すデータに基づいて前記パターンを決定することを特徴とする請求項 1 に記載の画像処理装置。

【請求項 8】 1 つの画像において、複数の領域と、該複数の領域の各々における画像処理内容を指定する指定手段を更に備え、

前記発生手段は、前記複数の領域に設定された画像処理内容に基づいて、該複数の領域のそれぞれにおいて用いるべきパターンを決定することを特徴とする請求項 1 に記載の画像処理装置。

【請求項 9】 前記指定手段で指定された複数の領域と画像処理内容に基づいて、前記入力画像に適用する画像処理を切り換えながら画像処理を行う画像処理手段を更に備え、

前記発生手段は、前記画像処理手段における画像処理の切り換えに同期して、適用する重畳パターンを順次決定することを特徴とする請求項 8 に記載の画像処理装置。

【請求項 10】 入力画像に基づいて最適な画像処理を選択する選択工程と、

前記入力画像の各々に対して適用された画像処理に基づいて所定の付加情報を示すパターンを発生する発生工程と、

前記入力画像に対して、前記発生工程で発生しパターンを人間の目に識別しにくく付加する付加工程とを備えることを特徴とする画像処理方法。

【請求項 11】 画像信号を処理するための複数の画像処理工程を更に備え、

前記複数の画像処理工程は、少なくとも画像信号を 2 値化して出力するための画像処理と、画像信号を多値で出力するための画像処理とを含むことを特徴とする請求項 10 に記載の画像処理方法。

【請求項 12】 前記所定の付加情報は前記画像処理方法を特定可能とする情報であることを特徴とする請求項 10 または 11 に記載の画像処理方法。

【請求項 13】 入力画像を 2 値化して出力するための画像処理に適したパターンが、入力画像を多値で出力するための画像処理に適したパターンよりも大きいサイズを有することを特徴とする請求項 11 に記載の画像処理方法。

【請求項 14】 前記発生工程は、入力画像を 2 値化して出力するための画像処理に対するパターンとして、入力画像の最低値と最高値が配置されてなるパターンを用いることを特徴とする請求項 11 に記載の画像処理方法。

【請求項 15】 前記発生工程は、入力画像を多値で出力するための画像処理に対するパターンとして、入力画像に作用させるべき階調数が配置されてなるパターンを用いることを特徴とする請求項 11 に記載の画像処理方法。

【請求項 16】 入力画像に対して採用された画像処理内容を示すデータを入力する入力工程を更に備え、前記発生工程は、前記入力工程によって入力された画像処理内容を示すデータに基づいて前記パターンを決定することを特徴とする請求項 10 に記載の画像処理方法。

【請求項 17】 1 つの画像において、複数の領域と、該複数の領域の各々における画像処理内容を指定する指定工程を更に備え、

前記発生工程は、前記複数の領域に設定された画像処理内容に基づいて、該複数の領域のそれぞれにおいて用いるべきパターンを決定することを特徴とする請求項 10 に記載の画像処理方法。

【請求項 18】 前記指定工程で指定された複数の領域と画像処理内容に基づいて、前記入力画像に適用する画像処理を切り換えながら画像処理を行う画像処理工程を更に備え、

前記発生工程は、前記画像処理工程における画像処理の切り換えに同期して、適用する重畳パターンを順次決定

することを特徴とする請求項 1 7 に記載の画像処理方法。

【請求項 1 9】 入力画像に対して可視画像を形成するための画像処理を行う制御プログラムを格納するコンピュータ可読メモリであって、前記制御プログラムが、入力画像に基づいて最適な画像処理を選択する選択工程のコードと、前記入力画像の各々に対して適用された画像処理に基づいて所定の付加情報を示すパターンを発生する発生工程のコードと、前記入力画像に対して、前記発生工程で発生したパターンを人間の目に識別しにくく付加する付加工程のコードとを備えることを特徴とするコンピュータ可読メモリ。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】 本発明は、画像処理装置及びその方法に関し、特に、入力画像に基づいて記録媒体上にカラー画像を形成するための画像処理を行う画像処理装置及びその方法に関する。

【0 0 0 2】

【従来の技術】 従来より、カラー画像形成装置には、紙幣、有価証券等の特定原稿の偽造を防止するための様々な対策が盛り込まれている。その手法の 1 つに、使用した、画像形成装置を特定するために、画像上に、目視ではわかりにくい画像形成装置特有の記号を一定の変調量で画像情報に重畳させる方法がある。

【0 0 0 3】 この方法によれば、仮にその画像形成装置を用いて有価証券の偽造が行われた場合に、その偽造物を特定の波長域だけ抽出できる読み取り装置を用いて画像形成装置固有の記号（パターン）を判読することができる。このため、偽造に使われた画像形成装置を特定でき、偽造者の追跡に有効な手がかりとなる。

【0 0 0 4】

【発明が解決しようとする課題】 しかしながら、上記従来例では、画像形成装置に入力される画像データがあらかじめ階調数、ドットの形成間隔、シャープネス等を調整する画像処理が施されている場合、あるいは、画像形成装置自体が、上記のような画像処理回路を複数種類もっている場合は、重畳するパターンが全ての種類の画像処理に対応できなくなってしまう。具体的には、画像形成装置固有の記号（パターン）が判読できない、とか、逆に、重畳された記号が目立ちすぎて異常画像として認識されてしまう、という問題が発生することがある。

【0 0 0 5】 本発明は上記の問題に鑑みてなされたものであり、可視画像の形成に際して複数種類の画像処理が適用可能な画像形成装置において、適用された画像処理に適した所定パターンを重畳することを可能とする画像形成装置及びその方法を提供することを目的とする。

【0 0 0 6】

【課題を解決するための手段】 上記の目的を達成するた

めの本発明の画像形成装置は以下の構成を備える。すなわち、画像信号に基づいて可視画像を形成する画像形成装置であって、前記画像信号に対して適用された画像処理に基づいて重畳パターンを決定する決定手段と、前記決定手段で決定された重畳パターンを形成するための信号を生成する生成手段と、前記画像信号の可視画像形成において、前記生成手段で生成された信号を用いて該画像信号に前記重畳パターンを重畳する重畳手段とを備えることを特徴とする画像形成装置。

10 【0 0 0 7】 また、上記の目的を達成する本発明の画像形成方法は、画像信号に基づいて可視画像を形成するための画像形成方法であって、前記画像信号に対して適用された画像処理に基づいて重畳パターンを決定する決定工程と、前記決定工程で決定された重畳パターンを形成するための信号を生成する生成工程と、前記画像信号の可視画像形成において、前記生成工程で生成された信号を用いて該画像信号に前記重畳パターンを重畳する重畳工程とを備える。

【0 0 0 8】

20 【発明の実施の形態】 以下、添付図面を参照して、本発明の好適な実施形態を詳細に説明する。なお、以下の実施形態では、複写機（フルカラー画像形成装置）の例が示されるが、本発明はこれに限るものではなく、他の種々の装置に適用できることは勿論である。また本発明を適用できる各装置では、偽造防止として、紙幣、有価証券等の特定原稿を対象とする。

【0 0 0 9】 <第 1 の実施形態> 以下、電子写真方式のフルカラー画像形成装置を例に本発明の第 1 の実施形態を説明する。なお、電子写真方式に限らず、銀塩写真方式、熱転写方式、昇華型方式等の各種の画像形成方式についても、本発明が適用可能であることは言うまでもない。

【0 0 1 0】 図 1 は第 1 の実施形態によるフルカラー画像形成装置の内部構成を概略的に示す側断面図である。同図において、1 はポリゴンミラー、2 はミラー、3 Y はイエロー現像器、3 M はマゼンタ現像器、3 C はシアン現像器、3 B K はブラック現像器、4 は感光体ドラム、1 1 1 は転写ドラム、6 は記録材、7 は定着ローラ、1 0 1 は原稿、1 0 2 は原稿台ガラス、1 0 3 は光源、1 0 4 は光学レンズ、1 0 5 は CCD、1 0 6 は A / D コンバータ、1 0 7 は画像処理部、1 0 8 はレーザ光源、1 0 9 は帯電器、1 1 0 はクリーニングブレード、1 1 1 は転写ドラム、1 1 2 は転写帯電器をそれぞれ示している。

【0 0 1 1】 図 2 は第 1 の実施形態によるフルカラー画像形成装置の画像記録動作を説明するフローチャートである。以下、図 1 及び図 2 を参照しながら、上記構成によるカラー画像の形成方法を説明する。

【0 0 1 2】 原稿台ガラス 1 0 2 上に置かれた原稿 1 0 1 に照射され、反射された光源 1 0 3 よりの照明光は、

光学レンズ104によりCCD105に結像され、受光量に応じた画像信号に変換される。画像信号はA/D変換コンバータ106によりデジタル値に変換され、画像処理部107により、画像処理された後、レーザ光源108をドライブする。なお、画像処理部107には、制御プログラムを格納するROM、ROMに格納された制御プログラムに基づいて各種制御を実現するCPU、CPUが各種処理を行うに際して必要な作業領域を提供するRAMを含んでいる。

【0013】レーザ光源108より発射されたレーザ光はポリゴンミラー1及びミラー2により反射され、感光体ドラム4上に照射される。感光体ドラム4上は、あらかじめトナーがのっていないようにクリーニングブレード110でクリーニングされた後、帯電器109によって均一に帯電される。

【0014】まず、最初にY（イエロー）の画像信号で、レーザ光の走査により潜像が形成された感光体ドラム4は、図中に示す矢印の方向に回転する。現像器3Yにより現像がなされる。さらに感光体ドラム4を回転させ、記録材6を転写ドラム111に吸着させると共に（ステップS91）、転写帯電器112により感光体ドラム4上に形成されたトナー画像を記録材6上に転写させる（ステップS92）。

【0015】次に、M（マゼンタ）の画像信号で、潜像形成、現像を行った後、画像のレジストレーションを合わせた位置条件で、記録材6上のY画像の上に多重転写する（ステップS93）。同様に、C、Bkとも画像形成、多重転写して（ステップS94、S95）、転写紙を転写ドラム111より分離して（ステップS96）、定着ローラ対7で定着する（ステップS97）。以上のようにして、カラー画像プリントが完成する。

【0016】以上のような画像形成の過程において、本実施形態のフルカラー画像形成装置では、CCD105から入力した画像信号に対して、文字等の出力に適した2値化処理と、階調画像の出力に適した多値画像処理のいずれかを選択して用いることができる。また、Y画像の形成時には、装置固有のパターンが重畳されて記録される。以下、本実施形態によるパターンの重畳処理について説明する。

【0017】図3は第1の実施形態による画像処理手順を説明する図である。図3において、画像のRGB（Red, Green, Blue）信号がCCD105で得られる。このRGB信号はアナログ信号であり、A/Dコンバータ106によってデジタルのRGB信号に変換される。シェーディング回路12以降の構成は、画像処理部107内の構成である。シェーディング回路12は、CCD105の個々の素子の感度バラツキを補正すべく、得られたRGB信号を修正する。修正されたRGB信号はLOG変換回路13によりCMY（Cyan, Magenta, Yellow）信号に変換される。

【0018】さらに、本画像形成装置では、画像信号特性の異なる複数種類の画像処理回路が組み込まれており、そのどれを使用するかに応じて、回路の選択を行う、セクタ回路14が設置されている。

【0019】ここでは、8bit信号（256階調）の分解能をもち、その多値情報をもとに、パルス幅変調により、面積階調再現で階調画像を形成するための画像処理回路（以下、多値出力用の画像処理回路）と、平均濃度法を用いた誤差拡散手法により、信号を0と255レベルの2値にする、2値画像処理ドットの単位面積あたりの個数で階調再現させる画像処理回路（以下、2値出力用の画像処理回路）の2つの画像処理回路をもっている。

【0020】2値出力用の画像処理は、原稿が文字を中心とした画像のときに良好に画像再現を行える。一方、多値出力用の画像処理は、多値のパルス幅変調による画像再現を行い、原稿画像が階調画像を中心とした画像である場合に良好な画像再現を行える。

【0021】これらの画像処理回路の使い分けは、フルカラー画像形成装置の操作パネル201を介してユーザが選択できるようになっている。

【0022】画像形成装置の操作パネル201を介して2値出力用の画像処理をユーザが選択した場合、その旨の信号がセクタ14に供給され、セクタ14は2値出力画像処理回路を選択する。この結果、セクタ14は、LOG変換回路13より入力されたCMY信号を、先に述べた誤差拡散手法を用いた2値化処理を実行する2値化処理回路15へ供給することになる。

【0023】2値化処理回路15によって2値化されたCMY信号は、マスキング/UCR回路16に入力され、カラーマッチングされたCMYK信号に変換される。さらに、空間フィルタ回路16により、画像をくっきりさせたり、スムーズにさせたりするために、画像信号のアレンジを行う。そして、濃度変換回路18を通すことにより、プリンタの階調特性に応じた濃度変換補正が行われる。

【0024】ROM24には、各画像処理別に最適なパターンを表すパターン情報を登録してある。機番パターン発生回路25は、セクタ14からの画像処理選択信号（2値化出力用の画像処理と多値出力用の画像処理のいずれが選択されたかを示す信号）に基づいて適切なパターン情報をROM24から取り出し、パターン変調制御部26に渡す。例えば、上述のように2値化出力用画像処理が選択された場合には、図4のドットパターン（以下、単位ドットともいう）が選択される。そして、パターン変調制御部26は、選択されたドットパターンを、目視で分解能が一番劣るY（Yellow）の画像信号に、ROM24から読み取られた機番に対応するドットパターン群（以下、機番パターンともいう）を重畳させるための重畳信号を出力する。

【 0 0 2 5 】 機番パターンは、フルカラー画像形成された後に、350nmのナローバンドフィルタを通してイエローの信号を分離することにより判読でき、仮に偽造が行われたとしても、どの機械（画像形成装置）で行われたのかを特定することが可能となる。

【 0 0 2 6 】 図4のパターンについて説明する。図4は第1の実施形態による2値化出力に適したドットパターンの例を示す図である。2値画像の場合、0と255の信号がばらまかれている画像データ間にドットパターンを埋め込まないといけない。従って、埋め込まれたドットパターンを判読できるように、ドットパターンのエリアを大きくとる必要がある。また、2値データ画像なので、ドットパターンの信号変調量も、データの足し引きでなく、図のように、強制的に特定の画素を0と255にするようにして、確実に判読できるようにした。なお、数字の書いていない画素のところは、変調をかけないことを意味する。

【 0 0 2 7 】 コンパレート回路19は、パターンを重畳させるための重畳信号と濃度変換回路18を経たCMYK信号を入力し、Y信号のみに重畳信号を重畳させて、得られたCMYK信号をパルス巾変調回路27に出力する。パルス幅変調回路27では、「0」と「255」に対応するレーザ発光を行い、上述した画像形成工程を経てフルカラー画像が形成される。

【 0 0 2 8 】 次に、階調性を重視した、多値出力用の画像処理が選択された場合を説明する。LOG変換回路13より出力されたCMY信号は、セレクト14によってマスキング／UCR回路20に供給される。その後、空間フィルタ回路21、濃度変換回路22を経てコンパレート回路23へ供給される。機番パターン発生回路25は多値出力用の画像処理（本例では多値パルス幅画像処理）に最適なドットパターン（本例では図5のどっとパターンを用いる）を形成するための情報をROM24から取り出して、パターン変調制御部26に渡す。パターン変調制御部26は、機番パターン発生回路25より供給される機番パターンを、選択されたドットパターンで形成すべくパターン変調を制御する。

【 0 0 2 9 】 コンパレート回路23は、入力されたCMYK信号のうち、目視で分解能が一番劣るY（Yellow）のみの画像信号に図5のドットパターンで形成された機番パターンを重畳させる。パルス巾変調回路27はコンパレート回路23を経て入力されたCMYK信号に従って、「0」～「255」の値に応じたパルス幅の信号を形成する。

【 0 0 3 0 】 パルス巾変調回路27よりのパルス巾変調を受けた画像データは、レーザダイオードドライバ28に供給され、画像形成が行われる。

【 0 0 3 1 】 図5は多値出力用の画像処理を受けた画像データに適したドットパターンの例を示す図である。

【 0 0 3 2 】 先程の2値出力用のドットパターン（図

4）と異なり、多値データなので、画像データに対して、変調量を足し引きするようにする。図5では、プラス α 、マイナス α と書き込んであるところが変調箇所、 α は画像形成装置の性能により最適化されることが望ましい。なお、 α の値は、例えば、トナーのドット間隔（解像度）によって決定される。解像度が低いほど（ドット間隔が大きいほど）アルファの値を大きく取るのが好ましい。

【 0 0 3 3 】 なお、 α の値は、画像形成装置内に設けられた環境センサ（温度、湿度を測定するセンサであり、図示は省略してある）による検出値により、可変制御したり、耐久枚数により可変制御したりするようにしてもよい。このようにすれば、より、確実に判読可能で、なおかつ、パターンがブツブツに目立たないようにドットパターンを制御することができる。

【 0 0 3 4 】 また、多値画像用のドットパターンのサイズは2値画像の場合より小さくても十分に判読可能であり、仮に2値画像処理のパターンを採用すると、ブツブツが目立ってしまい、異常画像に見えてしまう。

【 0 0 3 5 】 次に、パターンの付加方法、パターンの付加回路について、詳細に説明する。

【ドットパターンの付加方法】 まず、本実施形態におけるパターンの付加方法の一例を説明する。上述したように、図4及び図5には第1の実施形態によるドットパターンの一例が示されている。本実施形態では、画像処理の種別に応じて、これらドットパターンの何れかを選択し、選択されたドットパターンを用いて機番に応じた機番パターンをY画像に重畳していく。

【 0 0 3 6 】 図6及び図7は第1の実施形態によるアドオンラインの一例を示す図である。アドオンラインとは、図4もしくは図5に示されるようなドットパターンを含むラインである。従ってアドオンラインの副走査方向の画素数は、ドットパターンの副走査方向の画素数と一致し、図4のドットパターンを採用した場合は4画素、図5のドットパターンを採用した場合は2画素となる。以下、図4のドットパターンを用いた場合を例に挙げて説明する。

【 0 0 3 7 】 図6において、401はアドオンラインで、4画素の幅である。401a～401eはそれぞれ図4に示したドットパターンで、例えば5×4画素である。ドットパターン401a～401eは、主走査方向にd1（例えば128画素）の略一定周期で並んでいる。さらに、図7において、501～510はアドオンラインで、例えば4画素の幅であり、副走査方向にd2（例えば16画素）の略一定周期で並んでいる。詳細は後述するが、例えば、1本のアドオンラインは4ビット分の情報（0h～Fh）を表し、アドオンライン502～509の8本のアドオンラインは一組となっており、28ビットの付加情報（機番）を表すことができる（8本のうち1本は基準ラインとなるので、4ビット×7＝28

10

20

30

40

50

ビット)。なお、アドオンラインは副走査方向に繰返し形成され、例えば、図 7 に示すアドオンライン 5 0 1 と 5 0 9 は同一の情報を表す。

【 0 0 3 8 】図 8 及び図 9 はアドオンラインによる情報の表現方法の一例を示している。図 8 において、6 0 1 と 6 0 2 はアドオンラインで、両アドオンラインは副走査方向に隣合っている。また、6 0 1 a、6 0 1 b および 6 0 2 a はドットパターンである。隣合ったアドオンラインのドットパターン同志が接近して目立つのを防ぐため、隣合ったアドオンライン上のドットパターン同志は、主走査方向へ少なくとも d 3 (例えば 3 2 画素) の間隔が開くように設定する。

【 0 0 3 9 】ドットパターンによって表されるデータは、ドットパターン 6 0 2 a と、ドットパターン 6 0 1 a との位相差によって決定される。図 8 は 4 ビット情報を表す一例を示しているが、図 8 においては、単位ドット 6 0 2 a はデータ ' 2 ' を表している。例えば、単位ドット 6 0 2 a が最左端にあればデータ ' 0 ' を、単位ドット 6 0 2 a が最右端にあればデータ ' F ' を表すことになる。

【 0 0 4 0 】図 9 において、全付加情報を表す一組のアドオンラインのうち、同図 (a) は 1 番目のアドオンライン Line 0 を、同図 (b) は 4 番目のアドオンライン Line 3 を表す。図 9 に示すように、Line 0 には、本来のドットパターン 7 0 1 a ~ 7 0 1 d のすべての右側に、d 4 (例えば 1 6 画素) の間隔でドットパターン 7 0 2 a ~ 7 0 2 d が追加され、Line 3 には、本来のドットパターン 7 0 4 a ~ 7 0 4 d のすべての右側に、d 5 (例えば 3 2 画素) の間隔でドットパターン 7 0 5 a ~ 7 0 5 d が追加されている。この追加ドットは、各アドオンラインが、何番目のアドオンラインかを明確にするためのマーカである。なお、2 本のアドオンラインにマーカを追加するのは、出力画像からでも、副走査方向の上下を確定することができるようにするためである。

【 0 0 4 1 】また、上述したドットパターンの付加は、人間の目が Y のトナーで描かれたパターンに対しては識別能力が低いことを利用して、Y のトナーのみで行われる。また、付加パターンの主走査方向のドット間隔と、副走査方向の全付加情報の繰返し間隔とは、対称とする特定原稿において、ドットが確実に識別できるような薄くて均一な領域へ、確実に全情報が付加され得るように定める必要がある。

【 0 0 4 2 】【ドットパターンの付加回路】次に、第 1 の実施形態によるドットパターンの付加回路の一例について説明する。

【 0 0 4 3 】図 1 0 ~ 図 1 6 は、機番パターン発生回路 2 5、パターン変調制御部 2 6、コンパレート回路 1 9 から構成されるパターン付加回路の構成例を説明するためのブロック図である。

【 0 0 4 4 】図 1 0 はパターン変調制御部 2 6 の回路構成例を示す図である。同図において、副走査カウンタ 8 1 9 では主走査同期信号 H S Y N C を、主走査カウンタ 8 1 4 では画素同期信号 C L K を、それぞれ 7 ビット幅すなわち 1 2 8 周期で繰返しカウントする。副走査カウンタ 8 1 9 の出力 Q 1 ~ Q 3 に接続されたゲート回路 8 2 0 は、使用された画像処理を示す選択信号に応じて、副走査方向 1 6 ライン毎に 4 ラインの期間「H」となる信号 (2 値出力用画像処理が選択された場合)、もしくは副走査方向 1 6 ライン毎に 2 ラインの期間ハイレベル (H) とする信号 (多値出力用画像処理が選択された場合) を出力する。すなわち、ゲート回路 8 2 0 は、アドオンラインに含まれる走査ラインである間、出力信号が H となり、アドオンラインのイネーブル信号 (A D L I N) となる。

【 0 0 4 5 】図 1 1 はゲート回路 8 2 0 の構成を説明する図である。選択信号が 2 値出力用の画像処理が行われたことを示す場合、セクタ 8 2 0 c は AND ゲート 8 2 0 a の出力を選択する。また、選択信号が多値出力用の画像処理が行われたことを示す場合、AND ゲート 8 2 0 b の出力を選択して出力する。AND ゲート 8 2 0 a は、副走査カウンタ 8 1 9 のビット 2 (Q 2) とビット 3 (Q 3) が、ともに H のときに H を出力する。すなわち、AND ゲート 8 2 0 a の出力は、副走査方向 1 6 ライン毎に 4 ラインの期間にわたって H となる。一方、AND ゲート 8 9 0 a は、副走査カウンタ 8 1 9 のビット 2 (Q 2) とビット 3 (Q 3) がともに H であり、かつビット 1 (Q 1) がローレベル (L) のときに H となる。すなわち、AND ゲート 8 2 0 b の出力は、副走査方向 1 6 ライン毎に 2 ラインの期間にわたって H となる。

【 0 0 4 6 】また、ゲート 8 2 2 は、ゲート回路 8 2 0 の出力と副走査カウンタ 8 1 0 の上位 3 ビット (Q 4 ~ Q 6) とを入力し、これらの論理積をとることによって、アドオンラインのライン 0 のイネーブル信号 L I N E 0 を出力する。また、ゲート 8 2 1 は、アドオンラインのライン 3 のイネーブル信号 L I N E 3 を生成する。これらの信号 L I N E 0、L I N E 3 は、図 9 で説明したようなマーカを示すドットパターンを埋め込むのに使用される。

【 0 0 4 7 】一方、主走査カウンタ 8 1 4 へは、詳細は後述するが、H S Y N C によって初期値がロードされる。ゲート 8 1 5 ~ 8 1 7 は、主走査カウンタ 8 1 4 の上位 4 ビット (Q 3 ~ Q 6)、及びゲート回路 8 9 0 の出力信号を入力する。図 1 2 はゲート回路 8 9 0 の回路構成例を示す図である。図 1 2 に示されるように、ゲート回路 8 9 0 は AND ゲート 8 9 0 a と OR ゲート 8 9 0 b を含み、Q 0 ~ Q 2 が 0 0 0 ~ 1 0 0 の期間 (5 画素) の区間で H となる。

【 0 0 4 8 】従って、AND ゲート 8 1 5 の出力は、1

28画素毎に5画素の区間だけHとなり、これをドットイネーブル信号とする。また、ANDゲート816と817には、主走査カウンタ814の上位4ビットとゲート回路890よりの信号の他に、それぞれ信号LINE0とLINE3が入力される。このため、ANDゲート816と817からは、それぞれライン0とライン3のマークのイネーブル信号が出力される。これら、ドットおよびマークイネーブル信号はORゲート818によりまとめられる。そして、ORゲート818の出力と、ゲート回路820の出力とが、ANDゲート824で論理積され、アドオンライン上のドット重畳位置でだけHとなる、ドットおよびマークのイネーブル信号となる。

【0049】図13は、以上のようにして生成されたドットイネーブル信号とマークイネーブル信号を概念的に示す図である。16本の副走査ライン毎に4ライン（もしくは2ライン）の走査期間がアドオンラインとなり、アドオンライン中の128画素毎の120画素目～124画素目の5画素の期間（図13の1300）にドットイネーブル信号が出力される。また、0番目のアドオンライン（LINE0）においては128画素毎の8画素目～12画素目の期間（図13の1301）にマークイネーブル信号が出力される。同様に、4番目のアドオンライン（LINE3）においては、128画素毎の24画素目～28画素目の期間（図13の1302）にマークイネーブル信号が出力される。

【0050】上述の如きANDゲート824の出力信号は、F/F828において、画素同期信号CLKに同期させられ、ANDゲート830において、2ビットの出力カラー選択信号CNOと論理積される。出力カラー選択信号CNOのビット0は、インバータ829で否定されてANDゲート830に入力され、出力カラー選択信号CNOのビット1は、そのままANDゲート830に入力されるので、信号CNO="10"のとき、すなわちY画像の印刷時（本例では、CNO="10"がYの色画像を示す）に、ドットおよびマークイネーブル信号が有効になるようにしている。

【0051】さて、図4、図5でも説明したように、本実施形態のドットパターンは、1番目と5番目が「0」または「 $-\alpha$ 」であり、3番目が「255」または「 $+\alpha$ 」となっている。従って、上述のドットイネーブル信号もしくはマークイネーブル信号がHとなっている間に、図4、図5に示されるようなドットパターンを形成するべく、カウンタ825、ゲート回路826、フリップフロップ(F/F)827を設けてある。

【0052】ANDゲート824の出力は、カウンタ825のクリア端子CLRにも接続されており、カウンタ825はANDゲート824の出力がHの時、すなわちアドオンラインのドットイネーブル時あるいはマークイネーブル時のみ、画素同期信号CLKのカウントを行う。カウンタ825の出力のビット1(Q1)とビット

0(Q0)は、ゲート回路826へ入力され、アドオンラインのドットイネーブル期間（もしくはマークイネーブル期間）(5CLK)中の第1クロックと第5クロックでHとなるMINUS信号、第1、第3、第5クロックでHとなる信号④が出力される。ゲート回路826の出力は、F/F827a及びF/F827bによって画素同期信号CLKに同期される。ここで、信号MINUSがHのときは、アドオンラインのドットは $-\alpha$ に変調される。

10 【0053】図14はゲート回路826の詳細な回路構成を説明するブロック図である。ANDゲート826aは、Q0とQ1がともにLであるときに信号Hを出力する。従って、000～100のカウンタ825の出力のうちの第1番目(000)と第5番目(100)にのみHとなる。従って、上述のMINUS信号が生成されることになる。また、インバータ826bはカウンタ825のQ0の信号を反転出力するので、カウンタ825がの値が「000」のとき（第1番目）、「010」のとき（第3番目）、「100」のとき（第5番目）に信号Hが出力される。従って、上述の信号④となる。

20 【0054】なお、F/F827aは信号MINUSについて、F/F827bは信号④について、ヒゲを除去すると共に、アドオンラインのドットイネーブル信号と位相を合わせる。

【0055】以上説明した信号①、④、MINUS(②)を用いて、コンパレート回路19、23はドットパターンの重畳を行う。図15はコンパレート回路の構成例を示すブロック図である。

30 【0056】AND部832には、レジスタ831から例えば8ビットの変調量 α 、ANDゲート830の出力①、及びF/F827bの出力④が入力される。アドオンラインのドットパターンを重畳するタイミング（信号①がH）で、かつ変調を行うべき画素のタイミング（信号④がH）のときにのみ、レジスタ831に格納された α がAND部832より出力されることになる。従って、AND部832からは、アドオンラインの変調すべきドットのタイミングで変調量 α が出力されることになる。このため、アドオンラインの変調すべきドット以外の画素については、AND部832が出力する変調量が0となるため変調されることはない。

【0057】833は加算部、835は減算部で、ともに、端子Aに例えば8ビットの画像信号Vが入力される。端子Bへは、AND部832が出力した変調量 α が入力される。そして、加算部833の出力はOR回路834へ入力され、減算部835の出力はAND回路837へそれぞれ入力される。

40 【0058】なお、変調する場合、OR回路834は、加算回路833の加算結果 $V+\alpha$ がオーバーフローしてキャリー信号CYが出力された場合に、演算結果を強制的に例えば255にする。また、AND回路837は、

減算回路 835 の減算結果 $V - \alpha$ がアンドフローしてキャリー信号 CY が出力された場合に、インバータ 836 で反転されたキャリー信号 CY によって、演算結果を強制的に例えば 0 にするものである。従って、 α として「255」を設定することにより、図 4 に示すようなど

とパターンを重畳することが可能となる。
【0059】そして、両演算結果「 $V + \alpha$ 、 $V - \alpha$ 」あるいは「0、255」が、セクタ 838 に入力され、ゲート回路 826 で生成された信号 $MINUS$ ($F/F827a$ の出力②) に応じて、セクタ 838 から出力される。

【0060】以上の回路構成で、図 4 または図 5 に示した、ドットの変調が施される。次に、機番に応じてドットパターンを各アドオンラインに配置することで機番パターンを生成するが、その構成を説明する。図 16 は機番パターン発生回路の回路構成例を説明する図である。機番パターンは、主走査カウンタ 814 へロードする値を以下のように制御することで発生させる。

【0061】まず、副走査同期信号 $VS\ SYNC$ によって、 $F/F813$ およびカウンタ 809 がリセットされるので、最初のアドオンラインでは、主走査カウンタ 814 の初期値に 0 が設定される。

【0062】ここで、カウンタ 809 と $F/F813$ のクロック端子へ入力される信号 $ADL\ IN$ は、アドオンラインのイネーブル信号である AND ゲート 820 の出力を、 $F/F823$ で主走査同期信号 $HS\ SYNC$ に同期させた信号である。

【0063】セクタ 810 は、セレクト端子 S に入力される例えば 3 ビット信号に応じて、8 本のアドオンラインのそれぞれの例えば 4 ビット値が設定されているレジスタ 801 ~ 808 のうちの 1 つを選択して、選択したレジスタに設定されている値を出力する。

【0064】セクタ 810 のセレクト信号は、信号 $ADL\ IN$ をカウントするカウンタ 809 によって生成される。最初のアドオンラインのタイミングでは、カウンタ 809 は、副走査同期信号 $VS\ SYNC$ でクリアされているので、セレクト信号は 0 である。従って、セクタ 810 は、レジスタ 801 を選択する。そして、信号 $ADL\ IN$ が立上ると、カウンタ 809 のカウント値が 1 進み、セクタ 810 は、レジスタ 802 を選択する。以降、セクタ 810 は、信号 $ADL\ IN$ に同期して、順次、レジスタ 803 から 808 の選択を繰り返す。

【0065】セクタ 810 の出力は、加算器 811 で、加算器 812 の出力と加算され、 $F/F813$ へ入力され、信号 $ADL\ IN$ の立下りでラッチされ、主走査カウンタ 814 へ入力される。

【0066】なお、 $F/F813$ の出力は、主走査カウンタ 814 へ送られるとともに、加算器 812 の端子 B へも入力され、加算器 812 の端子 A へ入力された一定

値の例えば 8 と加算されて、加算器 811 へ送られる。これは、アドオンラインのドット位置と、副走査方向に 1 本前のアドオンラインのドット位置との間隔を設けるためのオフセット値である。レジスタ 801 ~ レジスタ 808 へのデータ設定は、CPU が ROM 24 より読出した機番に基づいて行う。

【0067】また、本実施形態においては、CPU が、入力画像の画像信号の大きさを検出し、検出された濃度信号の大きさに応じて 8 ビットの変調量 α の値を決定し、レジスタ 831 に設定する。例えば、低濃度域では変調量 α を大きくすることにより、薄い濃度の画像に対しても、見やすいパターンの合成が可能となる。また、選択されている画像処理が 2 値出力用の画像処理であれば、CPU はレジスタ 831 には 255 を設定する。

【0068】図 17 は第 1 の実施形態による複写結果の一例を示す図である。図 17 では、アドオンラインのドットパターンの配置例だけが示されている。図 17 において、901 は例えば特定原稿画像である。また、アドオンラインのドットパターンは■印で表している。

【0069】以上説明した通り、第 1 の実施形態によれば、複写機固有の製造番号を符号化あるいは記号化するために付加するパターンのドット形状パターンを画像処理種類に応じて最適なものを選択できる。このため、複写画像の品位を低下させずに、確実に判読が可能なドットパターンを重畳させることが可能となる。従って、もし、本実施形態が不正複写などに利用された場合でも、不正複写物を鑑定することによって、適用された画像処理種類によらず、確実に不正複写に使用された複写機を特定することができる。

【0070】なお、上器実施形態では、コンパレート回路 19 と 23 を一つの回路で構成し、選択信号によってそれぞれの機能を達成するように構成したが、別回路としてそれぞれの画像処理毎に設けても良い。

【0071】〔第 2 の実施形態〕図 18 は第 2 の実施形態による装置の構成を示す図である。このシステムは、複写機とプリンタの複合機としての役割を果たすようになっている。画像出力装置 53 は、インターフェース (I/F) 52 を介して、読み取り装置 51 からの画像データと、パーソナルコンピュータ PC 55 から出力されコントローラ 54 を経由した画像データが入力される。なお、I/F 52 は、画像出力命令を読み取り装置 51 とコントローラ 54 から受け付けることができ、割込み処理等についても対処できるようになっている。コントローラ 54 は、階調数や画像解像度、出力後の画素形状、カラーマッチングに関する画像処理を行う回路が入っている。

【0072】図 19 は第 2 の実施形態の画像処理部における画像信号の流れを示す図である。複写機として機能する場合には、読み取り装置 51 からの画像信号が用いられることになる。CCD 105 から LD ドライバ 28

については、第1の実施形態と基本的に同じ経路であるので説明を省く。ただし、I/F52は、読取装置51よりの画像信号LOG変換回路13に供給すると共に、その旨を機番パターン発生回路25及びパターン変調制御部26に通知する。なお、マスキング/UCR回路61～コンパレート回路64を、図3のセクタ14～コンパレート回路19、23の如く構成して、2値化出力、多値出力に対応可能としても良い。

【0073】一方、PC55から発せられた画像信号に対しては、コントローラ54によって画像出力装置53にとって最適な画像処理が実施される。信号としてはCMYKの分解された画像信号がI/F52に入ってくる。この場合、I/F52は経路52aを選択して、LOG変換13、マスキング/UCR61、空間フィルタ62、濃度変換回路63を介さずに、信号を通す設定になっている。

【0074】このとき、コントローラ54は、自身で行った画像処理に応じたコードをI/F52を介して機番パターン発生回路25に渡す。機番パターン発生回路25は、対応する重畳ドット形状パターンをROM24からロードし設定する。例えば、2値化処理された画像データであれば、コントローラ54はその旨の信号をI/F52を介して機番パターン発生回路25及びパターン変調制御部26に通知する。機番パターン発生回路25及びパターン変調制御部26は、上述したように図4に示されるドットパターンを用いてROM24より読み取った機番に基づく機番パターンを重畳する。

【0075】なお、第2の実施形態では、コントローラ54で全ての画像処理を行い、CMYK信号まで生成する例を示したが、RGB信号を画像形成装置で渡して、画像形成装置内の画像処理を使用する系も有り得る。その場合は、本体の画像処理に応じたドットパターンを選択して重畳すれば良いことは言うまでもない。

【0076】以上説明した通り、第2の実施形態によれば、複写機固有の製造番号を符号化あるいは記号化するために付加するためのドットパターンを、画像形成装置外部からの画像信号に対しても、その画像処理種に応じて最適なものを選択できる。このため、画像形成装置外部の画像処理を用いて画像形成を行う場合でも、重畳されたドットパターンを確実に認識することが可能となる。

【0077】〔第3の実施形態〕次に第3の実施形態について説明する。第3の実施形態では、1枚の画像出力物の中で、画像処理を切り替えた場合を説明する。

【0078】図20は第3の実施形態の画像形成装置の外観を示す図である。原稿台押さえの圧板72上で座標位置を指示するペン型指示器71と座標位置が検知できるセンサとを備えた、いわゆるエディタ装置が備え付けられている。複写したい原稿を圧板72上の指示されている位置に付き当ててのせ、ペン型指示器71によって

複数の領域を指定する。図21は領域の指定状態の位置例を示す図である。本例では、領域Aと領域Bが指定されている。そして例えば、領域Aには写真のような階調特性を有した画像が、領域Bには文字/線画を中心とした画像が記録されているものとする。従って、写真のような階調特性を有した領域Aには階調再現の得意な画像処理が、一方、文字/線画を中心とした細部の再現性を必要とする領域Bは、解像再現の特異な画像処理で処理するように、操作パネルと前記エディタ装置で、領域と画像処理の対応を指示する。

【0079】図22は第3の実施形態による画像処理手順を説明する図である。第1の実施形態で説明した図3と同様の構成については同一の参照番号が付されている。

【0080】画像領域セクタ81は、上述の如く設定された領域に応じて、画像信号の供給先を切替る。すなわち、走査位置が領域Aである場合は画像信号を多値出力用画像処理に提供するために、マスキング/UCR回路20へ出力する。一方、走査位置が領域Bである場合には、2値化出力用画像処理を適用するために、画像信号を2値化処理回路15に供給する。

【0081】また、画像領域セクタ81において選択された画像処理を表す情報が機番パターン発生回路25とパターン変調制御部26に供給され、第1の実施形態と同様の手順で、各画像処理に適したドットパターン（図4、図5）が選択され、機番パターンが重畳される。

【0082】以上説明したように、第3の実施形態によれば、階調部と文字/線画部とが1枚の画像に混在する場合であっても、それぞれに最適な画像処理への切替を実現すると共に、それに対応して適切なドットパターンを用いて機番パターンの重畳を行うことが可能となる。従って、1枚の画像において複数種類の画像処理を必要とするような場合でも、確実に判読ができるとどパターンを重畳することが可能となる。

【0083】なお、第3実施形態では、ユーザが領域を自ら指定する例で説明したが、読み取った画像のパターンに基づいて写真画像や文字画像の領域を自動判別し、判別された領域毎に画像処理、ドットパターンを自動的に切り替えるように構成してもよいことは明らかである。

【0084】なお、本発明は、複数の機器（例えばホストコンピュータ、インタフェイス機器、リーダ、プリンタなど）から構成されるシステムに適用しても、一つの機器からなる装置（例えば、複写機、ファクシミリ装置など）に適用してもよい。

【0085】また、本発明の目的は、前述した実施形態の機能を実現するソフトウェアのプログラムコードを記録した記憶媒体を、システムあるいは装置に供給し、そのシステムあるいは装置のコンピュータ（またはCPU

10

20

30

40

50

やMPU)が記憶媒体に格納されたプログラムコードを
読出し実行することによっても、達成されることは言う
までもない。

【0086】この場合、記憶媒体から読出されたプロ
グラムコード自体が前述した実施形態の機能を実現す
ることになり、そのプログラムコードを記憶した記憶媒体は
本発明を構成することになる。

【0087】プログラムコードを供給するための記憶媒
体としては、例えば、フロッピディスク、ハードディス
ク、光ディスク、光磁気ディスク、CD-ROM、CD
-R、磁気テープ、不揮発性のメモリカード、ROMな
どを用いることができる。

【0088】また、コンピュータが読出したプログラム
コードを実行することにより、前述した実施形態の機能
が実現されるだけでなく、そのプログラムコードの指示
に基づき、コンピュータ上で稼働しているOS(オペレ
ーティングシステム)などが実際の処理の一部または全
部を行い、その処理によって前述した実施形態の機能が
実現される場合も含まれることは言うまでもない。

【0089】さらに、記憶媒体から読出されたプログラ
ムコードが、コンピュータに挿入された機能拡張ボード
やコンピュータに接続された機能拡張ユニットに備わる
メモリに書込まれた後、そのプログラムコードの指示に
基づき、その機能拡張ボードや機能拡張ユニットに備わ
るCPUなどが実際の処理の一部または全部を行い、そ
の処理によって前述した実施形態の機能が実現される場
合も含まれることは言うまでもない。

【0090】

【発明の効果】以上説明したように本発明によれば、可
視画像の形成に際して複数種類の画像処理が適用可能な
画像形成装置において、適用された画像処理に適したパ
ターンを重畳することが可能となる。このため、各種画
像処理後の画像について適切なパターンを重畳させるこ
とができ、装置特定のためのパターンが確実に判別可能
となると共に、形成画像の画質の低下も防止できる。

【0091】

【図面の簡単な説明】

【図1】第1の実施形態によるフルカラー画像形成装置
の内部構成を概略的に示す側断面図である。

【図2】第1の実施形態によるフルカラー画像形成装置
の画像記録動作を説明するフローチャートである。

【図3】第1の実施形態による画像処理手順を説明する
図である。

【図4】第1の実施形態による2値化出力に適したドッ
トパターンの例を示す図である。

【図5】多値出力用の画像処理を受けた画像データに適
したドットパターンの例を示す図である。

【図6】第1の実施形態によるアドオンラインの一例を

示す図である。

【図7】第1の実施形態によるアドオンラインの一例を
示す図である。

【図8】アドオンラインによる情報の表現方法の一例を
示す図である。

【図9】アドオンラインによる情報の表現方法の一例を
示す図である。

【図10】パターン変調制御部26の回路構成例を示す
図である。

10 【図11】ゲート回路820の構成を説明する図であ
る。

【図12】ゲート回路890の回路構成例を示す図であ
る。

【図13】以上のようにして生成されたドットイネー
ブル信号とマークイネーブル信号を概念的に示す図であ
る。

【図14】ゲート回路826の詳細な回路構成を説明す
るブロック図である。

【図15】コンバレート回路の構成例を示すブロック図
である。

【図16】機番パターン発生回路の回路構成例を説明す
る図である。

【図17】第1の実施形態による複写結果の一例を示す
図である。

【図18】第2の実施形態による装置の構成を示す図で
ある。

【図19】第2の実施形態の画像処理部における画像信
号の流れを示す図である。

【図20】第3の実施形態の画像形成装置の外観を示す
図である。

【図21】領域の指定状態の位置例を示す図である。

【図22】第3の実施形態による画像処理手順を説明す
る図である。

【符号の説明】

1 ポリゴンミラー

2 ミラー

3 現像器

4 感光体ドラム

6 記録材

7 定着ローラ

101 原稿

102 原稿台ガラス

103 光源

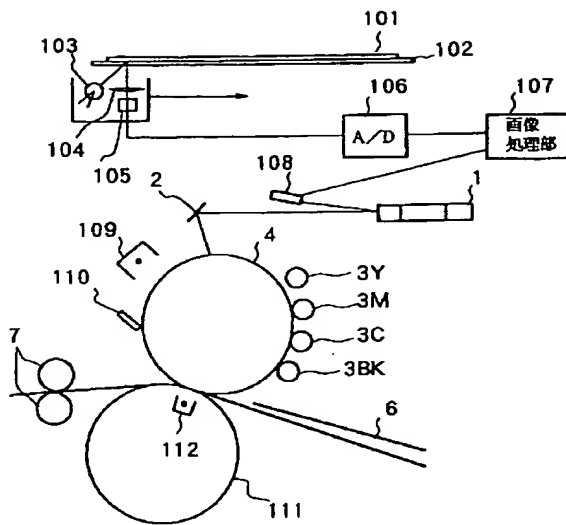
104 光学レンズ

105 CCD

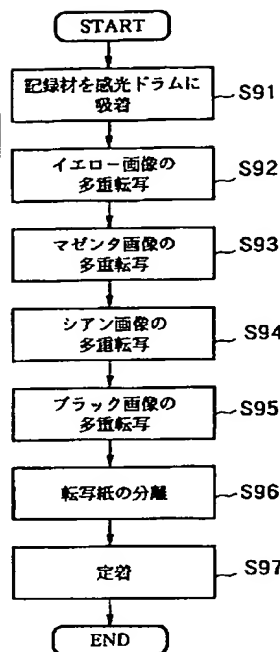
106 レーザ

111 転写ドラム

【図 1】



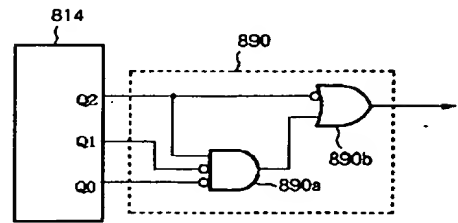
【図 2】



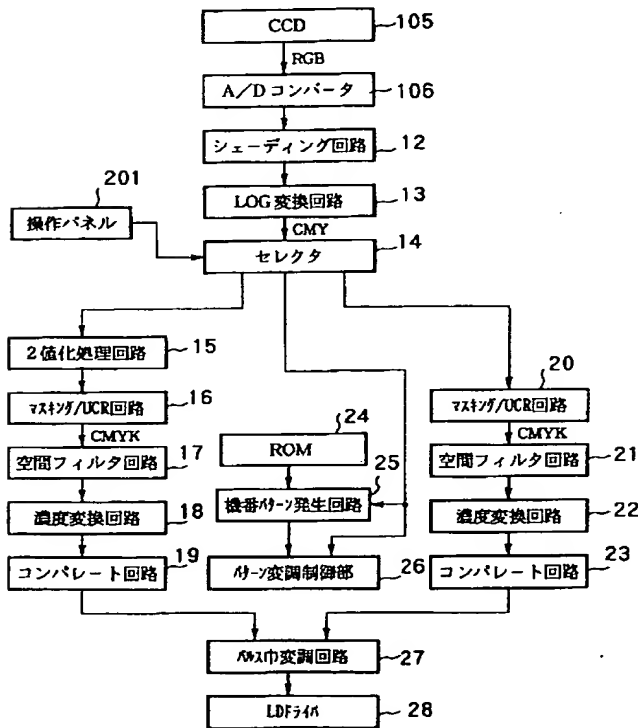
【図 4】

| | | | | |
|---|--|-----|--|---|
| 0 | | 255 | | 0 |
| 0 | | 255 | | 0 |
| 0 | | 255 | | 0 |
| 0 | | 255 | | 0 |

【図 1 2】



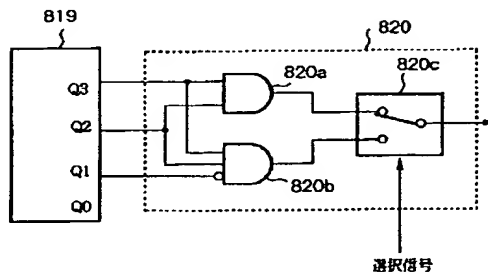
【図 3】



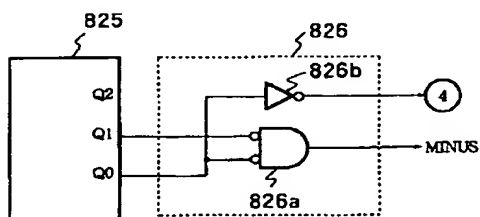
【図 5】

| | | | | |
|-----------|--|-----------|--|-----------|
| $-\alpha$ | | $+\alpha$ | | $-\alpha$ |
| $-\alpha$ | | $+\alpha$ | | $-\alpha$ |
| | | | | |
| | | | | |

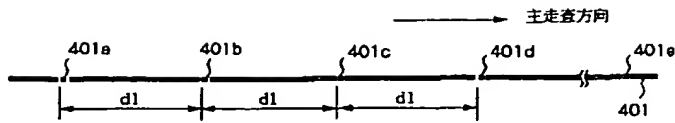
【図 1 1】



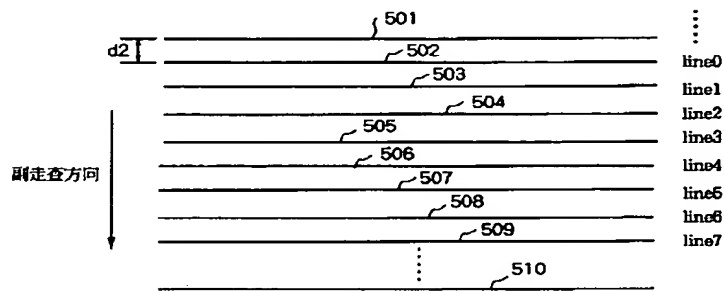
【図 1 4】



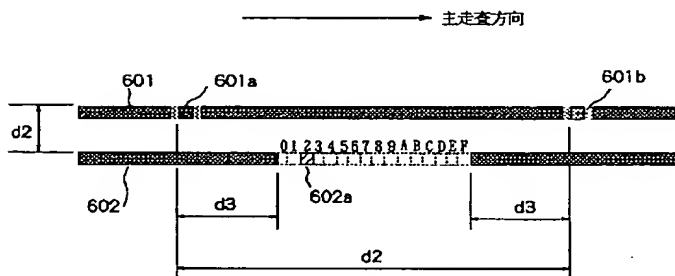
【図 6】



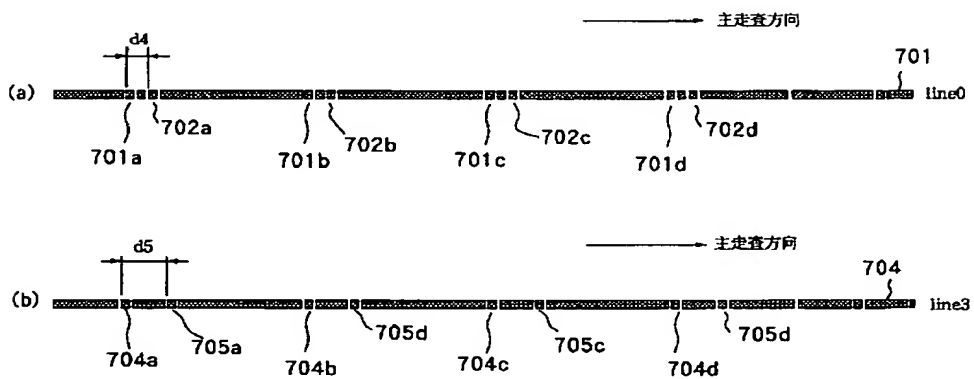
【図 7】



【図 8】



【図 9】



【図 20】

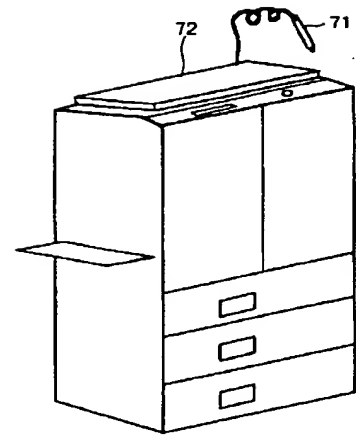
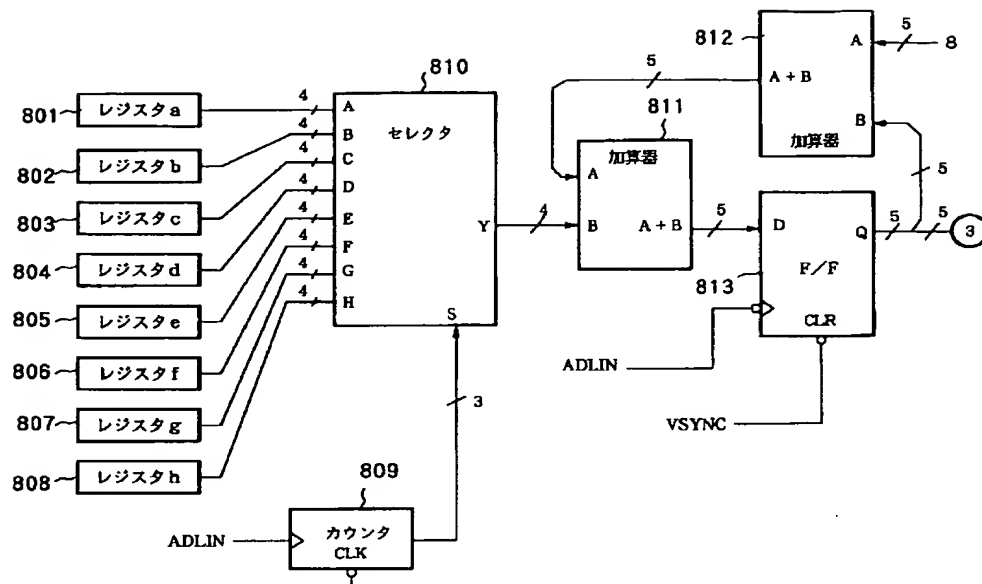
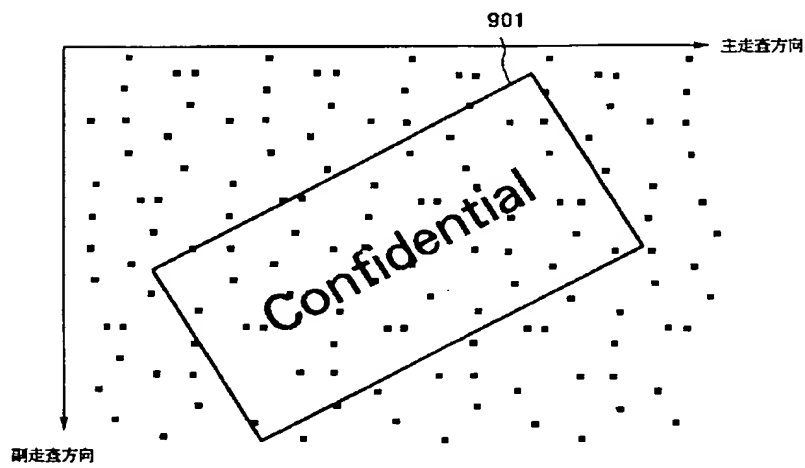


Figure 1 is a schematic diagram of a horizontal structure, possibly a film strip or a tape, with various segments and dimensions. The structure is divided into sections labeled 1300, 1301, and 1302. Dimensions include 16 ライン (16 lines) for the top section, 5 ドット (5 dots) for individual segments, 8 ドット (8 dots) for a sub-section, 24 ドット (24 dots) for a larger section, 120 ドット (120 dots) for a long section, and 128 ドット (128 dots) for the total length. A note indicates "4 ライン or 2 ライン" (4 lines or 2 lines) for a specific part.

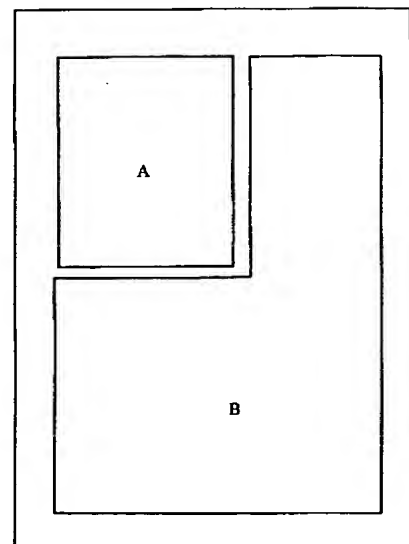
【図 1 6】



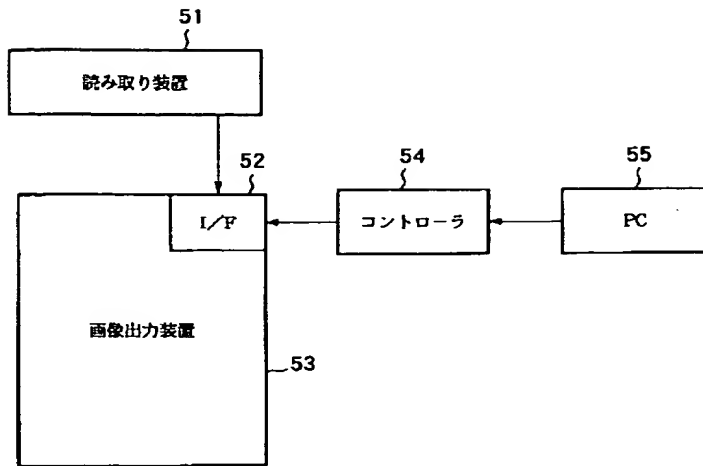
【図 1 7】



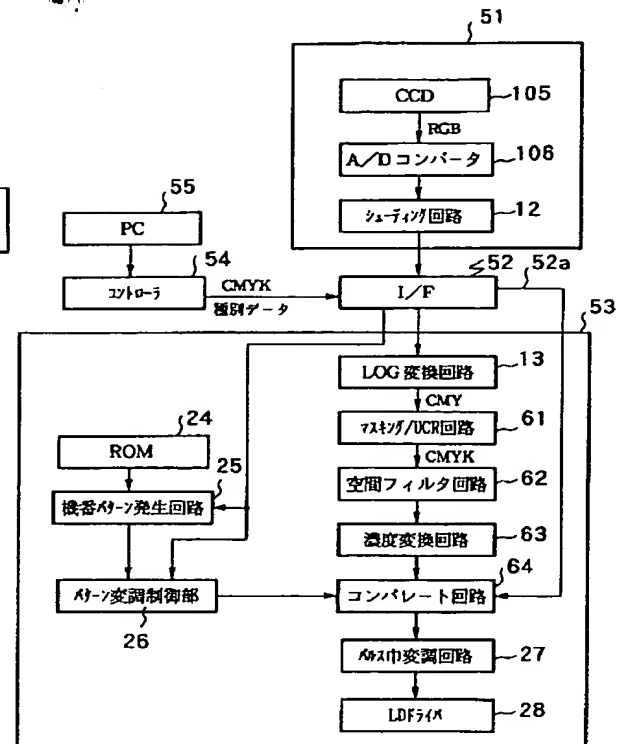
【図 2 1】



【図 18】



【図 19】



【図 22】

